# This Page Is Inserted by IFW Operations and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

### IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

JA 0112348 JUL 1983

(54) SEMICONDUCTOR DEVICE

~(11) 58-112348 (A)

(43) 4.7.1983 (19) JP

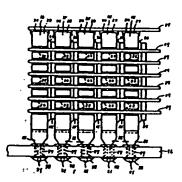
(21) Appl. No. 56-211715

(22) 25.12.1981

(71) FUJITSU K.K. (72) NOBUHIKO MIZUO (51) Int. Cl<sup>3</sup>. H01123/12 H01123/48

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



(B) 日本国特許庁 (JP)

①特許出願公開

昭58—112348

H 01 L 23/12 23/48 ⋅ ⋅

· · ·

Property to a

厅内整理番号 7357-5F 7357—5 F

砂公開 昭和58年(1983)7月4日

発明の数 1 審查請求 未請求

(全 4 頁)

川崎市中原区上小田中1015番地 富士通株式会社内

9特 顧 昭56—211715 9出 顧 昭56(1981)12月25日 9元 明 者 水尾允彦

む出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

砂代 理 人 弁理士 松岡宏四郎

2016年1月1日 夏泉安全 11日

三方 下,四条线网络工力

egert valety ass**9** 

※3半年作デップが、一外部側面にピン状の外部等 。電場子を有しっ。他の外部側面に被源状の外部導電 ことを特徴とする単導体機関。

19:12年の計画な説明。

· "似...及努力技会分野

本発表は単導体チャプポティブ・キャリアに共 、兵された手導体装置に係り、特に早等体ナップと **は、て早年化ナモリステルテップ・キャリアに実施** された単導体機能に設ける外部等性増子の構造に 漢する。人は死す

3. 対策機がステム等の大抵機化に作い、放射算機 後韓氏(,I,C.)、太子の単は非常に撃大となっ 8、てシリ、」とのととはシステムの大型化を招き、 それに伴ってシステム内の配舗長が長くなり計算 達度の低下を招く。そこで、計算後システム等に 対する地域体1C黒子の契貸哲賞を高心システム の大豆化を抑える手段として提供されたのが、ナ ァブ・キャリア共鉄構造の単導体 I C袋間である。 (4) 従来技術と問題点

袋気から用いられているナップ・ャッサアの中 で、最も実質管理が高められる構造にサードレス ・ナップ・ヤッリアがるる。祭1回はリードレス ・ナップ・キャリアに実践された半導体IC袋食 に於ける一何の新華国初及び底番園村を示したも のである。そして食器に於て1はセラミック定者、 えはセラミック枠、3な共働に全(A w ) めっき 等が見されたテップ・ステージ、6は長出部にAs りっき等が発されている内容配理、5以内部配施 からそれぞれ延出されるもめっまりが始されてい る外部記載、6位外部記載がそれぞれ反馈に延出 なれ来無に人をもっき等が施されたを始状の外部 **増予、7以キャップろう付け用メメライズ層、8** 江倉属キャップ、9江鉄(AE)会会等のろうが、

.10世帯海体ICナップ、11世ポンティング・ 路 イッド、12はアルミニクム(A4)等のボンデ 合うごうング・カイナ、ココは金(Aa)/シリコン (81)層を示している。

とのようを製造を有する従来のナップ・キャリ アに共装された平場体IC袋並は、計算機システ 4等に配及される配置当根に対して変数を下にし : 『 ・ て水平に(平面)実装される。その実施状態を示 一一 したのが終る間で、間中14は貧配チャブ・キャ サア実装構造の半導体IC装置、15はセラリノ ス式るいはブラスナノスにより形式された配線基。 表、16日配銀ペターン、6日前記外部周子、17 は半田等のろう材を表わしている。

> 上記のように従来のチェブ・キャリア実装構造 の半導体IC装置に於ては配酵基板に対して干燥 矢袋がせされるために、ナップ・キャリアの干器 後によって実験密度が制度され更に実験密度を再 めるととがてきなかった。

#### (4) 発明の目的

 $\hat{\mathbf{v}} \in \mathbb{R}_+$ 

本な明は上記器製点に催み、配舗基準に対して

ブ・キャリアでは上に何えば女具キャップであが 対策されてなっている。なか自紀チップ・キャリ ア28に於けるピン状外部導電銀子21は、連常 構造の内部配置26mからナップ・キャリア23 ・の一何間に延出された外部配載27a上に鉄/ニ ッケル会会等通常の親子就兵から立る例えばピン 状打抜き 加工片が低ろう 2 ま等によりろう付けで れて形成され、又被請状外部等電場子ままは内部 配着えるもからナップ・キャリアス 30世 配以外 の三個層に減出された外部配置まする上に合めっ \*\*を多が始されて形成される。 そして中等体メモリ ・ナップでもは油営構造のナップ・スポージです - 上に全/シリコン合金30年を介してろう付ける "れ、例えば似乎は体メモリ・ティブスものティブ 『・『セレクト娘子等テップ国官の信号が何されるべ アド海子よりのとピン状外部は光畑子に接続する 「内部記憶でもぇとがてんじゅかん等のペンディン 『グ・ワイヤ31により多使される。又入出力増子、 「も体地子等各メモリ・ナップに対して共通に配御 なれるペプト地子316と被請状外部海電地子22

**垂回に供給するととが可能を得過を有する** ・ヤマリア共長の半導体装置を技久し を向上せしめるととを目的とする。

#### (4) 現明の朝成

本苑明江平導体袋質に於て、半導体ナップが、 一外部側面にピン状の導電増予を有し他の外部側 面に被節状の導質は子を有するナップ・キャリア に実備されてなることを特徴とする。

#### (f) 発明の実施例

以下本苑明を、半球体メモリ疫量に於ける一夫 **集例について、終る器に示す上面器(4)。無面器(4)。** A ~ A ′ 矢状断面図け、下面図件、及び何よ図に 示す疾疫方法に於ける一类施例の上面図刊。舞曲 間回を用いて詳細に世明する。

本発明を適用した半導体メモリ鉄管は、例えば 京3回行。何、行、付に示すよう、一貫等に何え ば2〔本〕のピン状外部海軍加子21が配置され、 佐の三角面に反复数の複雑状外部導管線子22が 早やされたセラしょグ・ナップ・セッリア 23円 に半退休メモリ・ナップ26が共長され、はナッ

に兼視する内部配数えも"ととがポンティング・ワ イヤ32により表好される。本発表の展点に於て は、漁者とのようにピン状外部運電炉子21をナ ップ・センクトは子等各メモリ袋世に国方な信号 却子とし、被膜状外部導電端子22を入出力類子 求るいは毛根地子寺モノモリ袋並に双する共通化 サの母子とする。そして上記のように半導体メモ リ・テップ24が突旋されたテップ・キャリ丁2: 上語に形成されている通常構造の剣止枠33上心 角/錫合会等のろう材まくを介して会員キャップ 25が気管にろう付けされてたっている。

本発明の構造を有する単導体装置は紅単導体を 既に配設されたピン状外部神电烙子を介して配! 基板上に立てて異数することができる。

集4回は前記実施会に示した半導体メモリ技 の実験例を図示したもので、脚中11はピン状列 部海电路子(配有信号据子)、2.2 亿被的状外局 海モ畑子(共通名サ畑子)、23はセラミッグ・ ナップ・キャリア、25は金属キャップ、3 4点 は入りは、35m単連体ノモリ条膜、36年

突襲朝政化決で 「最なの至々丁属で 立て基べられ、64 外部海电阻子2.13 24-4-137K Rand. ture 日分類子である祝讃: ガモにそれぞれ详書: 雄が年田付けされる。 在华上尼贾海州化长 2(本)良けたが、世 さじつかえない。又は で一度がキャリア内に: のでも食い。又セナナ **も良い。是に又本項別**た ナックペッケージにも足

7. 26 a & G 2 6 b Ez i b 红外新配量。 2 8 红旗 2 ナーツ、30日金/シリコ b はべ。ド菓子、3.2 は # 3.3 红州走井、3.4江55 9袋是、3.6位配着盆堆、 3 8 江平田、 3 9 江洋華を:

化压人 弁理士

位置58-1123(日本 企画方を有するデア 企画方を有するデア 単を提供し、実典書 によるに

さて、半導体ナップが、TE 電域子を有し色の外部側 有するナップ・キャリア 特徴とする。

: 产生早級就化於什么一类 : 京宇上面図(1),無面図(4)。 下面図(4)、及び具4図(4) 一製施例の上面図(4)。 領面 明する。

場体メモリ級領は、例えば 化示すよう、一個面に例え ・振場管理子21が配収され、 )製験状外部場質#子22が ア・ナップ・セッサア23円 ・プ24が疾促され、はケッ

 アアス等からさる記憶高板。 31 3: 8 以平田、 3: 9 以湯酸を乗わ

「海原を間は最も実践団度を高めた実践例で、 「海原の は 明月 では、単導体メモリ 後置3 5 は上。 がでは、単導体メモリ 後置3 5 のピン 次 下面でか至いが振し合う状態で配離 高値3 6 上 に 立て並べられ、 6 半導体メモリ 袋置3 5 のピン 次 外部等を増子2 1 が配離 高板3 6 に 使ける 所定の スルーホール 3 7 に まし込まれ 早田 付けまれて 間 をされる。 せして 6 メモリ 銭度3 5 に 使ける 共造 の 物分子である 装置状外部等を 増子2 3 上 に は 6 列名に せれぞれる 8 3 9 からまる 一連の共通 個 が 量が 中田 付けまれる。

をお上記実施例に於てはピン状外部写電相子を 2(本)投付たが、放用子は必要に応じ何本でも さしつかえない。又放ピン状外部写電相子は非状 で一年がキャリア内に組め込まれて別成されたも のでも良いに又キャップはセラミックスであって も良い。足に又本発明は金属ペッケージ。アラス ナックペッケージにも適用するととができる。

プ、26 a 及び26 b は内部配差、27 a 及び27 b は外電配差、28 は乗ろう、29 はテップ・ステージ、30 は金/シリコン合金、31 a 及31 b はペッド加子、32 はポンティング・ワイヤ、33 は対止枠、34 はろう材、35 は早端体メモリ供収率36 は配能差板、37 はスケーホール、38 以半田、39 は場能を示す。

大型人 分型士 · 松 月 安田(日)

公 発明の効果

以上段明したように本発明の明度を有する半導体装置は、配着新年上に立てて実装することができる。そこで集る団に示すような配慮基準上への実装方伝が可能であり、団からも努らかなように使用の平面実践構造に比べて実装管理を大幅に向上せしめることができる。

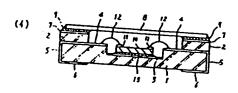
使って本発明は計算機システム等の高速化、小 歴化に対して有効である。

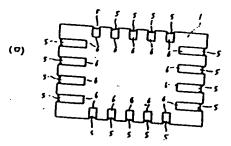
#### 4. 昭田の用単な説明

第1回は従来表達の新面面が及び下面の向、原 2回は従来の実装構造の新面製大西、第3回は本 発明の単導体装度に於ける一実施例の上面の付。 質面面向。A - A ' 矢板新面的付。下面の付で、 第4回は本発明の単導体装置に於ける一実施例の 上面面付及び側面面向である。

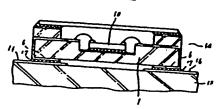
即に於て、21ほピン状外部導電線子(関項信号場子)、22は被膜状外部導電線子(共通信号場子)、23はセラミック・テップ・キャリア、24は単導体メモリ・テップ、25は全属キャッ

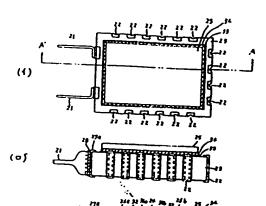
老1四



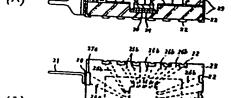


基 2 🗈





(FD) \$55 (F)



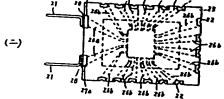


表 4 🗵

